

FROM :

FAX NO. : 062320204



MAS-FIN-406

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	:	Robert-Christian Hagen et al.	Confirmation No. 4640
Applic. No.	:	10/869,539	
Filed	:	September 24, 2003	
Title	:	Electronic Component with a Stack of Semiconductor Chips and a Method for Producing the Electronic Component	
Examiner	:	Nathan W. Ha	
Group Art Unit	:	2814	
Docket No.	:	MAS-FIN-406	
Customer No.	:	24131	

DECLARATION UNDER 37 C.F.R. § 1.131

The undersigned, Robert-Christian Hagen, Holger Woerner, inventors of this invention, hereby declare that:

The invention of the above-identified application was "conceived" and "reduced to practice" in one of the United States, a NAFTA country other than the United States, or a WTO member country at least as early as September 5, 2002.

The undersigned, Robert-Christian Hagen, Holger Woerner, developed Electronic Component with a Stack of Semiconductor Chips and a Method for Producing the Electronic Component according to the invention and wrote the Invention Disclosure (Erfindungsmeldung).

Enclosed, as corroborating evidence, is the Invention Disclosure which is a pre-printed form signed by the undersigned. The Invention Disclosure was executed by the undersigned on June 6, 2002 (see signatures on the bottoms of page 7). The Invention Disclosure was given to Dr. R Schwarz, who is the inventors' superior, on June 7, 2002. On the right side in the upper half of the first page there is a box that indicates when the Invention Disclosure was received by the inventors' superior. This box is labeled "Eingang am:" (Received on) and the date "7/6/02" is handwritten in this box. As is customary in Europe, the order of the handwritten date is day/month/ year.

BEST AVAILABLE COPY

FROM :

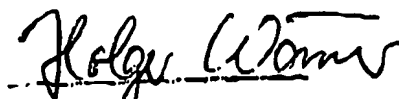
In the lower half of the first page of the Invention Disclosure Dr. R Schwarz signed and dated the first page of the Invention Disclosure in order to confirm the receipt of the Invention Disclosure on June 7, 2002.

The Invention Disclosure was shortly thereafter further submitted to the corporate patent department of Siemens AG and it was received, as best understood, on July 12, 2002 (see the lower right corner of page 1).

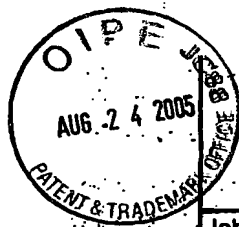
The undersigned hereby declare that all statements made herein of his own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001 and such willful false statements may jeopardize the validity of the application or any patent issued thereon.


Robert-Christiaan Hagen

17/08/2005
Date


Holger Woerner

17/08/2005
Date

**Vertraulich!****Bitte verschlossen
weiter senden!****ERFINDUNGSMELDUNG**

an Siemens AG bzw. Beteiligungsgesellschaft

Bereits vorab an ZT PA übermittelt per FAX ☐

Wenn ja - bitte u n t e r s e d i n g t ankreuzen!

Aktenzeichen der PA

Ich/Wir (Vor- und Nachname der/des Erfinder(s) - weitere Angaben und Unterschrift(en) letzte Seite)

Dr. Robert Hagen, Holger Woerner

Anzahl der
Erfinder:

2

Datum der Ausfertigung:

06.06.2002

melde[n] hiermit die auf den folgenden Seiten vollständig beschriebene Erfindung mit der Bezeichnung:

System in Package with bare die plus integrated package (e.g. BOC-type based FBGA)

I. An Vorgesetzten der/des Erfinder[s]Herr/Frau Dr. R. SchwarzCAT AIT LP
(Dienststelle)

mit der Bitte, die nachstehenden Fragen zu beantworten:

a) Wann ging die Erfindungsmeldung bei Ihnen ein? 7/6/02

b) Geht die Erfindung auf öffentlich geförderte Arbeiten zurück?

☒ nein ☐ ja, Vorhaben:

c) Gibt es ein zugehöriges internes FuE-Projekt?

☒ nein ☐ ja, Projekt:

Ab Eingang läuft gesetzliche Frist

Nur bei ZT-Erfindungen auszufüllen:

Projekt-Nr. _____ Titel: _____

Kerntechnologie: _____

☐ Entwicklungs-
projekt
☐ Forschungs-
projekt

Im Interesse von Bereich: _____

Ansprechpartner: _____

d) Anmeldung wird empfohlen ☐ nein ☒ ja

Dringlichkeitsvermerk

Kosten trägt (Organisationseinheit): _____

☐ Die Erfindung betrifft nicht unser Interessengebiet. Es sind noch folgende
Dienststellen zu befragen: _____(Datum) 7/6/02(Unterschrift des Vorgesetzten) IP-Prüfung
19.08.02
T. Pfeiffer

F 30.08.02

II. Bitte wegen gesetzlicher Frist sofort weiterleiten anSiemens AG
ZT PA (Patentabteilung)Standort: _____
(z.B.: Mch/M, Er/S, Bln/N, Kha/R, Pdb)

zur weiteren Veranlassung.

CE-IDS AM Mch P/I

Eng. 12. Juli 2002

GR
Frist

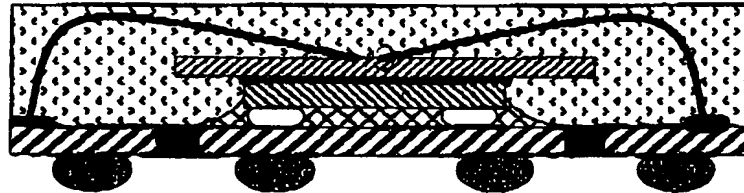
BEST AVAILABLE COPY

1. Welches technische Problem soll durch Ihre Erfindung gelöst werden?

Um eine höhere Systemintegration zu erzielen, ist es für viele Applikationen notwendig, einen Logik-Baustein mit einem Speicher-Baustein (S/DRAM, Flash) in ein gemeinsames Gehäuse zu montieren. Das größte Potential bzgl. Platzeinsparung, Kostenoptimierung und elektr. Performance hat dabei die Montage der beiden Chips übereinander (vertical integration).

Die zukünftigen Logikbausteine (z.B. Baseband-Chips oder Controller) werden überwiegend in FC Technologie zur Verfügung stehen, so dass es sich als günstig erweist, den Logik Chip als unteren Chip direkt auf das Substrat zu kontaktieren. Der Memory Baustein wird dann auf die Rückseite dieses FC montiert. Es ergibt sich bei Verwendung von Einzelchips ein Aufbau nach Skizze 1.

Skizze 1:



Dieser Aufbau führt zu folgenden Problemen:

- Aufgrund der bei Speicherchips üblichen Center-Pads kommt es, sofern eine Bondung überhaupt möglich ist, zu sehr großen Drahtlängen und zu instabilen Loop-Geometrien.
- Speicherchips benötigen einen Burn-in, der üblicherweise am gehäuseten Bauteil durchgeführt wird. Ein Burn-in des Gesamtsystems ist problematisch (z. T. sogar nicht durchführbar), da beim Chipstack ein Zugriff auf die benötigten Signalleitungen nicht immer möglich ist. Zusätzlich gibt es derzeit keine geeigneten Memory-Burn-in Sockel für die benötigten Ball-Pitches.
- Werden ungetestete Memory-Bausteine in dieses Gehäuse montiert (teilweise werden Speicher erst im Gehäuse geburnt und getestet), sinkt nicht nur die Gesamtausbeute, sondern es entstehen erhebliche Kostennachteile, da immer der entsprechende Logik-Baustein mit verworfen werden muß.

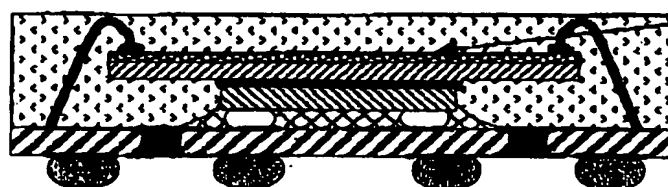
2. Wie wurde dieses Problem bisher gelöst?

Für den obigen Aufbau gibt es bislang keine adäquate Lösung aller Probleme.

Um trotz der ungünstigen Drahtgeometrien eine ausreichende Loop-Stabilität zu erreichen, sind Ansätze bekannt, bei denen ein zusätzliches Vergußmaterial (Glob Top) eingesetzt wird. Dieses Material wird im Bereich der Drähte aufgebracht und bettet diese so ein, dass der anschließende Moldprozess nicht zu Verwehungen / Verkipungen der Drähte führt. Nachteile dieses Verfahrens sind der zusätzliche Prozess, Kosten und Zuverlässigkeitsprobleme (zusätzliche Materialgrenzflächen).

Um die Drahtlängen zu reduzieren können auch mittels einer Umverdrahtung auf dem Speicherchip die Bondpads von der Mitte an den Chiprand geführt werden (s. Skizze 2). Nachteile sind die Kosten für die Umverdrahtung und die notwendige Verfügbarkeit von Speicherchips auf Waferebene (kritisch bei ext. Supplier).

Skizze 2:



Alle Ansätze ermöglichen jedoch keinen Burn In des Memory Chips. Es wird zwar an Verfahren auf Waferebene/Bare Dice gearbeitet, eine serientaugliche Lösung wird aber mittelfristig nicht zur Verfügung stehen.

3. In welcher Weise löst Ihre Erfindung das angegebene technische Problem (geben Sie Vorteile an)?

Für den Aufbau nach Skizze 1 wird anstelle des ungehäuteten Speicherbausteins ein bereits teilweise oder auch vollständig gehäuter Chip montiert. Der Grad der Montage ist abhängig vom jeweiligen Gehäuse und der weiteren Verarbeitung, jedoch minimal so, daß ein Burn in und eine vollständige Testbarkeit möglich sind. Primär eignen sich laminat- oder flexbasierende Gehäuse.

Wird als Gehäuse für den Speicherchip-bspw. ein BOC Package (Board-on-Chip-Package) verwendet, bestehen u. a. folgende Optionen:

- Standard-Substratdesign, Balls entfallen, Ballpads dienen als Wirebondpads
- Substratdesign ohne Ballpads, Signale werden i. d. R. an die Peripherie zu Wirebondpads geführt um eine Wirebond-Kontaktierung zu ermöglichen/erleichtern (kurze Drähte, optimalere Drahtführung/Signalzuordnung)
- Substrat mit Ballpads und Wirebondpads wie unter b); Balls entfallen (Vorteil: kann auch als Standard-Substrat verwendet werden)
- wie a), jedoch Balls werden für Burn In-Kontaktierung aufgebracht und anschließend entfernt (sacrificial Balls)
- wie c), jedoch Balls werden für Burn In-Kontaktierung aufgebracht und anschließend entfernt (sacrificial Balls)
- wie a) bis e), jedoch ohne Encapsulation

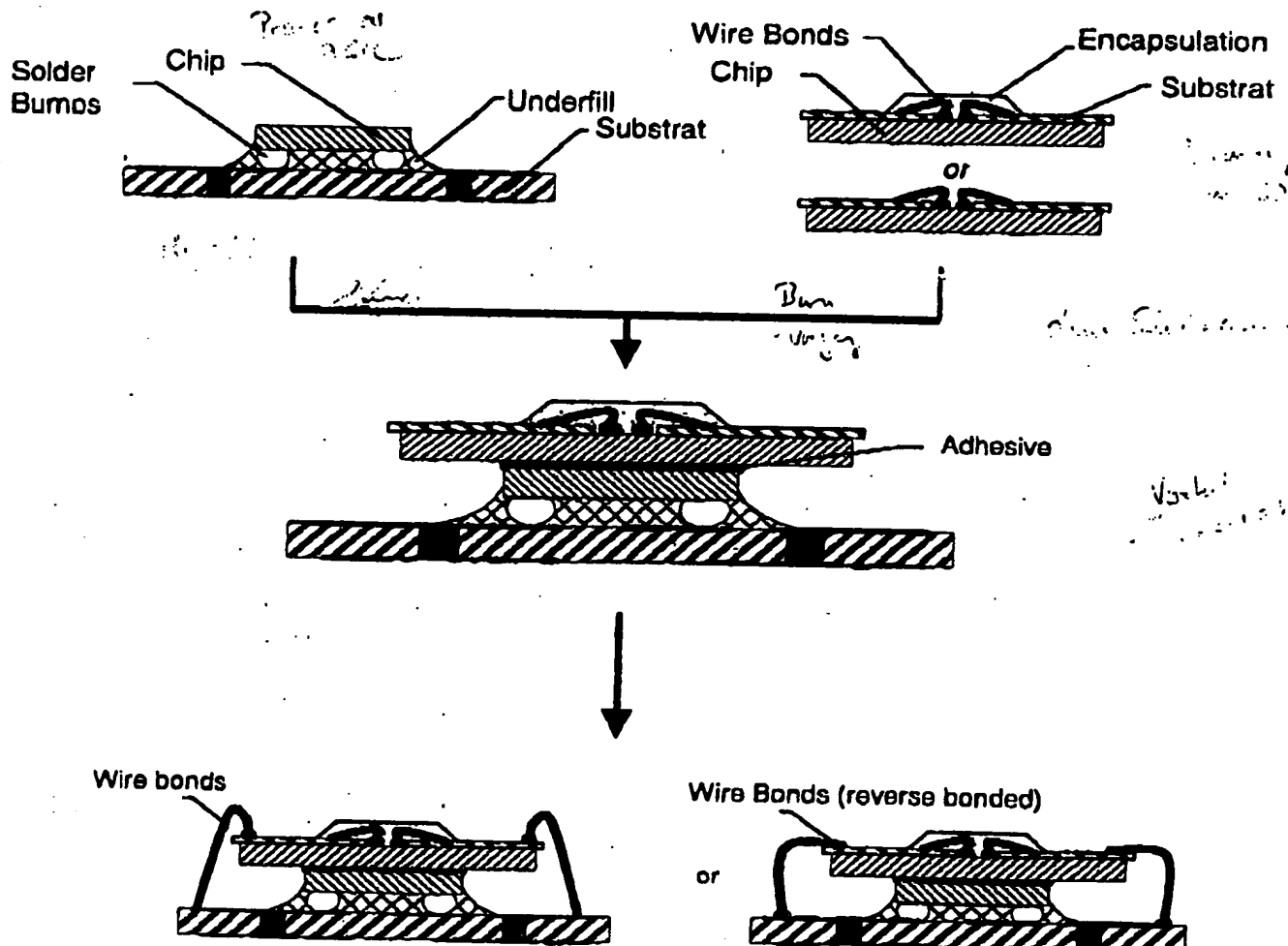
Bevor das BOC-Gehäuse mit der frei bleibenden Chiprückseite auf den Basis Flip Chip geklebt wird, kann das Gehäuse gebrannt und getestet werden.

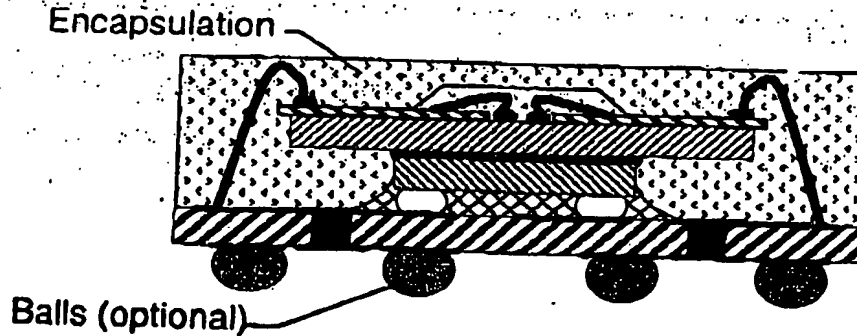
Die Kontaktierung auf das Basissubstrat erfolgt in Wirebond-Technik, wobei zur Reduzierung der Gehäusedicke/Optimierung des Bondprozesses auch ein Reverse Bonding Prozess (optional auch mit 2. Ball bzw. Stud) eingesetzt werden kann.

Abschließend wird das Gehäuse mittels Standardverfahren umhüllt.

Der Prozessablauf (exemplarisch bei Verwendung eines BOC Packages) ist im Folgenden dargestellt:

Skizze 3:





Vorteile dieses Aufbaus sind:

- a) Es kann ein teil-/vollständig montierter Standard-Memorybaustein verwendet werden
- b) Die unter 1.a) beschriebenen langen und instabilen Drähte werden vermieden; da eine Umverdrahtung der Anschlußflächen via Zwischensubstrat des BOC erfolgt.
- c) Vor der Montage des Gesamt-Gehäuses kann der separat teil-/vollgehäusete Speicherchip sowohl getestet als auch geburnt werden. Somit wird die Assembly Ausbeute gesteigert und die Burn-in Problematik gelöst.
- d) Da die Anschlüsse für den Speicherchip durch das Zwischensubstrat umpositioniert bzw. umverdrahtet (prinzipiell ist auch eine 2-lagen Verdrahtung möglich) werden, entsteht ein bzgl. Design / Routing sehr flexibles Gehäuse. Die Anpassung bei Verwendung von Speicherbausteinen verschiedener Zulieferer oder bei Veränderungen am Basissubstrat vorgenommen werden müssen.
- e) Aufbau kostengünstiger als bekannte alternative Ansätze

4. Worin liegt der erfinderische Schritt?

- Montage eines Gehäuses in einem Gehäuse
- Aufbau eines System in Package aus einem ungehäuseten Flip Chip und einem geburntem und voll getestetem Speicherbaustein
- Ersetzen der Balls bzw. Ballpads des BOC Substrates durch wirebondbare Pads.

5. Ausführungsbeispiel(e) der Erfindung.

(Siehe Skizzen unter 3.)

Patentrecherche:

kein adäquater Ansatz bekannt; siehe umfangreiche Recherchen bei AIT LP/AIT MP und Statusreport "Stacked Chip Memory Package" vom 06.05.02

Blatt 5/7

Aktenzeichen der GR

6. Zur weiteren Erläuterung sind als Anlagen beigefügt:

Blatt der Darstellung eines oder mehrerer Ausführungsbeispiele der Erfindung;
(falls möglich, Zeichnungen im PowerPoint- oder Designer-Format anfertigen)

- Blatt zusätzliche Beschreibungen (z.B. Laborberichte, Versuchsprotokolle);

- Blatt Literatur, die den Stand der Technik, von dem die Erfindung ausgeht, beschreibt; *)

- sonstige Unterlagen (z.B. Disketten, insbesondere mit Zeichnungen der Ausführungsbeispiele);

*) Bitte Fotokopien oder Sonderdrucke aller zitierten Veröffentlichungen (Aufsätze vollständig; bei Büchern die relevanten Kapitel) mit vollständigen bibliographischen Daten beifügen.

BEST AVAILABLE COPY

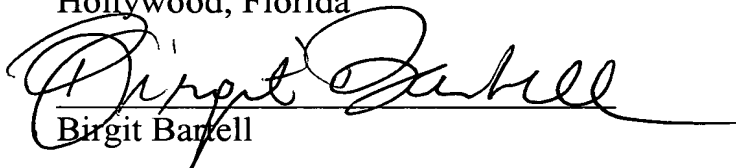
Docket No.: MAS-FIN-406
Application No.: 10/669,539

CERTIFICATION

I, the below named translator, hereby declare that: my name and post office address are as stated below; that I am knowledgeable in the English and German languages, and that I believe that the attached text is a true and complete translation of the pertinent pages, numbered 2/7, 3/7, 4/7 and 5/7, of the invention disclosure attached hereto.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Hollywood, Florida



Birgit Bartell

June 2, 2005

Lerner & Greenberg, P.A.
P.O. Box 2480
Hollywood, FL 33022-2480
Tel.: (954) 925-1100
Fax.: (954) 925-1101

Confidential! Please forward sealed	Invention Disclosure to Siemens AG or affiliated company Already transmitted via facsimile in advance to ZT PA <input type="checkbox"/> If yes – please absolutely check	Docket No. of PA
I/We (first and last name of the inventor(s) – further data and signature(s) last page) Dr. Robet Hagen, Holger Woerner	Number of Inventors 2	Date of draft 6-Jun-2002
herewith report the invention fully described on the following pages entitled: System in Package with bare die plus integrated package (e.g. BOC-type based FBGA)		
I To the inventor(s) Supervisor Mr./Mrs. <u>Dr. R. Schwarz</u> CAT AIT LP (Department) with the request to answer the following questions: a) When did you receive the invention disclosure? _____→ b) Can the invention be traced back to publicly sponsored operations? <input checked="" type="checkbox"/> No <input type="checkbox"/> Yes, (intention) c) Is there an appertaining internal FuE-project? <input checked="" type="checkbox"/> No <input type="checkbox"/> Yes, project _____		Date of Receipt 6-Jul-2002 Statutory due date runs from the date of receipt
Only to be filled out for ZT Inventions: Project No.: _____ Title _____ Nuclear Technology _____ <input type="checkbox"/> Developing Project Area of Interest: _____ Contact Person _____ <input type="checkbox"/> Research Project		
d) Application is recommended <input type="checkbox"/> No <input checked="" type="checkbox"/> Yes Urgent Note The cost is borne by (Organizational Unit) <u>CCPC</u> <input type="checkbox"/> The invention does not lie in our field of interest. The following departments must be questioned: _____ <u>16-Jul-2002</u> _____ Date Supervisor's Signature		Date of Receipt F 30-Aug-2002 RUSH
II. Please forward immediately because of statutory due date Siemens AG ZT PA (Patent Department) Location _____ (for example: Mch/M, Erl/S, Bln/N, Khe/R, Pdb) for further processing		ZT GG VM Mch P/Ri Receipt: 12-Jul-2002 GR Due Date

1. Which technical problem is to be solved with your invention?

In order to obtain a higher system integration, it is necessary, for many applications, to mount a logic chip with a memory chip (S/DRAM, Flash) in a joint housing. The mounting of the two chips one above the other (vertical integration) has the greatest potential with regard to saving space, optimizing cost and electrical performance.

The logic chips of the future (for instance, baseband chips or controllers) are predominantly provided in FC technology so that it has proven advantageous to bring the logic chip as the lowermost chip directly in contact with the substrate. The memory chip is then mounted onto the back side of the FC. When using individual chips, an assembly according to drawing 1 is the result.

Drawing 1

This assembly leads to the following problems

- a) Due to the center pads customary in memory chips, very large wire length and instable loop geometries are the result insofar as a bonding is possible at all.
- b) Memory chips require a burn-in which is customarily performed at the packaged component. A burn-in of the entire system is problematic (and in part not executable) since access to the required signal lines is not always possible in the chipstack. Additionally, there are presently no suitable memory burn-in bases for the required ball pitches.
- c). If untested memory chips are installed in this housing (in some cases, memories are only burnt and tested in the housing), not only does the entire profit decrease but substantial disadvantages in cost result therefrom since the corresponding logic component must always be discarded.

2. How has this problem been solved thus far?

There is no adequate solution for all problems in the above assembly.

In order to obtain sufficient loop stability despite the unfavorable wire geometries, approaches are known, in which an additional casting material (glob top) is applied. This material is applied in the region of the wires and embeds them such that the subsequent molding process does not lead to misalignments of the wires. The disadvantages of this method are the additional process and problems in cost and reliability (additional material boundary surfaces).

In order to reduce the wire length, the bond pads can also be led from the middle to the edge of the chip via a rewiring on the memory chip (see drawing 2). The disadvantages are the cost for rewiring and the necessary availability of memory chips on the wafer plane (critical for external suppliers).

Drawing 2

All approaches, however, do not render possible a burn-in of the memory chip. Even though methods on wafer planes/bare dies are being developed, a medium-term solution suitable for series production will not be available.

3. In which way does your invention solve the indicated technical problem (please indicate advantages)?

For the mounting according to drawing 1, a partially or even entirely packaged chip is mounted instead of the unpackaged memory chip. The degree of mounting is dependent upon the respective housing and further processing, however minimally such, that a burn-in and the ability for complete testing are possible. Flex-based housing or housings based on laminates are primarily suitable therefor. If a board-on-chip package is used as a housing for the memory chip, the following options are available:

- a) standard substrate design, balls are omitted, ballpads serve as wirebondpads
- b) substrate design without ballpads, signals are transmitted to the periphery to the wirebondpads in order to render possible or facilitate a wirebond contacting (short wires, more optimal wire guide/signal allocation)
- c) substrate with ballpads and wirebondpads such as in item b): balls are omitted (advantage: can also be used as a standard substrate)
- d) as in a), however, balls are applied for a burn-in contacting and subsequently removed (sacrificial balls)
- e) as in c), however, ball as applied for a burn-in contacting and subsequently removed (sacrificial balls)
- d) as in a), however without encapsulation

Prior to bonding the BOC housing, with the rear side of the chip remaining free, onto the base flip chip, the housing can be burn and tested.

The contacting onto the base substrate is done in wirebond technology wherein a reverse bonding process (optionally with the second ball or stud) can be used for reducing the thickness of the housing/optimizing the bonding process. The housing is subsequently enclosed by means of a standard method.

The course of the process (the use of a BOC package is exemplified) is illustrated in the following:

Drawing 3:

Advantages of this assembly are:

- a) a partially/completely assembled standard memory chip can be used
- b) the long and instable wires described in item 1a) are eliminated since a rewiring of the connecting pads is accomplished via an intermediate substrate of the BOC

- c) prior to assembling the entire housing, the memory chip which is separately partially or entirely packaged can be tested as well as burnt. Thus, the results of the assembly are increased and the problems of burning-in are solved
- d) since the terminals (connections) for the memory chip are repositioned or rewired (a two-layered wiring is principally possible), a housing is created which is flexible with regard to design/routing. When using memory chips of different suppliers or in technological shrinks, adaptation is accomplished via the intermediate substrate of the pre-assembled housing without having to make changes at the base substrate
- e) the assembly is more cost-efficient than known alternative approaches

4. Where does the inventive step lie?

- assembly of a housing in a housing
- constructing a system in package from an unpackaged flip chip and a burnt and fully tested memory chip
- replacement of the balls or ball pads of the BOC substrate with pads that can be wirebonded

5. Embodiments of the invention

(see drawing in item 3)

Patent Search

no adequate approach known; see extensive searches at AIT LP/AIT MP and status report "Stacked Chip Memory Package" dated May 6, 2002.

6. For further explanation, enclosed are:

- _____ illustration page of one or more embodiments of the invention;
(if possible, drawings prepared in power-point or designer format)
- _____ sheet with additional descriptions (for instance, lab experiments, test reports)
- _____ sheet with literature describing the state of the art from which the invention proceeds;*
- _____ other documents (for instance, diskettes, in particular with drawings of the embodiments)

*) Please enclose copies or off prints of all cited publications (essays complete, if books, the relevant chapters) with complete bibliographical data)